

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

CLOCK COUNT SYSTEM FOR MICROCOMPUTER

Patent Number: JP62189520
Publication date: 1987-08-19
Inventor(s): SAKATA TOSHIFUMI
Applicant(s):: NEC CORP
Requested Patent: ☐ JP62189520
Application Number: JP19860031164 19860214
Priority Number(s):
IPC Classification: G06F1/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To guarantee a timing action at the time of power failure by measuring the oscillation frequency of a 2nd oscillator circuit after restoration from power failure with the oscillation frequency of a 1st oscillator circuit as a reference, correcting the count value at the time of power failure according to the result and adding it to the reading of the clock before power failure.

CONSTITUTION: Where the value of a counter circuit 4, the oscillation frequency of the 1st oscillator circuit, a value obtained by summing up the values of frequency dividing circuits 5 and 6 and a frequency are A, X Hz, P and (n), respectively, at the time of restoration from power failure, the output of a frequency dividing circuit 7, that is, the time T of one period is expressed by an equation, $T = P / (XA/n)$. If the value counted during power failure is multiplied by the time T obtained by the equation, a pulse (the value of a counter circuit 4) generated by an LC or CR oscillator is corrected to a value at crystal accuracy. Then the corrected value is added to the reading of the timepiece before power failure. Hence onward, the output of a frequency dividing circuit 9 is again counted, and a normal timing action is executed, and the oscillation action of the 2nd oscillator circuit 2 is stopped.

Data supplied from the esp@cenet database - I2

58696
(3)

② 日本国特許庁(JP)

③ 特許出願公開

④ 公開特許公報(A)

昭62-189520

Int. Cl.

識別記号

庁内整理番号

⑤ 公開 昭和62年(1987)8月19日

G 06 F 1/00

7157-5B

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 マイクロコンピュータの時計カウント方式

⑦ 特 願 昭61-31164

⑧ 出 願 昭61(1986)2月14日

⑨ 発 明 者 坂 田 敏 文 東京都港区芝5丁目33番1号 日本電気株式会社内
⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑪ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロコンピュータの時計カウント方式

2. 特許請求の範囲

マイクロコンピュータのCPUクロックを生成させる水晶発振子で発振器を構成する第1の発振回路と停電時時計のカウントクロックとなりうる信号を生成させるLCもしくはCR回路で発振器を構成する第2の発振回路と外部からの停電信号を検出する停電検出回路と該停電検出回路の出力により前記第1の発振回路の動作を制御する制御回路と前記第2の発振回路の発振パルスをカウントするカウンタ回路と前記第1の発振回路の発振周波数を基準にして前記第2の発振回路の発振周波数を計測する手段とを有し前記停電検出回路が停電を検出した時前記第1の発振回路の動作を停止せしめマイクロコンピュータのCPUを不動作状態とし前記第2の発振回路の発振パルスを前記

カウンタ回路にてカウントし、前記計測された第2の発振回路の発振周波数に基づき前記カウンタ回路のカウント値を補正して、停電前の時計の値に加算することを特徴としたマイクロコンピュータの時計カウント方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマイクロコンピュータでの時計のカウント方式に関するもので、特に停電時長時間時計を動作させる方式に関する。

(従来技術)

従来マイクロコンピュータで懐電の一部として時計機能を行なわせるシステムにおいては、時計の基準信号として商用周波数(50Hz又は60Hz)が用いられる場合と水晶発振子を用いて発振器を構成しその発振出力を分周した信号を用いる場合とがある。

1 発明が解決しようとする問題点)

時計の基準信号として商用周波数を用いると、

テムでは、停電になると時計機能が停止してしまうという大きな欠点がある。また水晶を用いるシステムはその発振周波数を分周して1秒以内のクロック例えば500mS等のクロックを作り出し、停電時は通常CPUを停止させておき、500mSの時計の基準信号を検出した時CPUを起動させ時計のカウントアップを行なう方式が用いられる。この方式ではマイクロコンピュータのCPUクロックも時計の基準信号を作り出す水晶発振器から共用して作り出される。CPUのクロックにはある程度高い周波数が要求されるため、停電時時計の基準信号を検出した時のみCPUを動作させても、分周回路等で消費される電流が大きく、このため停電時、長時間時計動作を保証するには特殊な大容量のコンデンサあるいは電池など必要となりコストアップとなる。通常以上のような方式を用いたマイクロコンピュータには30KHz前後の水晶発振器が用いられる、数十 μ Aから数百 μ Aの電流が消費される。このためバックアップ用コンデンサとして1F等の大容量コンデンサを用いた

第1図は本発明の一実施例のブロック図である。発振回路1には水晶発振子13が接続され分周回路5を介してCPUクロックが生成される。さらに分周回路5の出力は分周回路6、分周回路9を介して通常動作時の時計基準クロックを生成する。分周回路6の出力は分周回路9に接続されるとともに入力セレクタ11の一方の入力に接続される。入力セレクタ11の他方の入力にはLC回路14で発振器を構成する第2の発振回路2の出力を分周回路7で分周した出力が接続される。入力セレクタ11の出力はゲート回路10の一方の入力に接続され、ゲート回路10の他方の入力には分周回路7の出力がゲート制御回路12を介して入力される。ゲート回路10の出力はカウンタ回路4に接続され、カウンタ回路4のカウント値はデータバスを介してマイクロコンピュータのデータメモリ(RAM)に読み出される。

次に具体的な動作を説明する。

まずマイクロコンピュータに最初の電圧($V_{DD} = \text{High}$)を印加するとともに停電信号入力端子に

としてもマイクロコンピュータのCPUの保証動作電圧が高いため長時間しか時計動作を保留できない。

(問題点を解決するための手段)

そこで本発明のマイクロコンピュータの時計カウント方式はCPUクロックを生成させる水晶発振器で発振器を構成する第1の発振回路と停電時時計のカウントクロックとなりうる発振パルスを生成させるLCもしくはCR回路で発振器を構成する第2の発振回路と外部からの停電信号を検出する停電検出回路と停電検出回路の出力により第1の発振回路の動作を制御する制御回路と前記第2の発振回路の発振パルスをカウントするカウンタ回路と第1の発振回路の発振周波数を基準にして前記第2の発振回路の発振周波数を計測する手段と計測した結果により前記第2の発振回路の発振パルスをカウントするカウンタ回路のカウント値を補正する手段とを有している。

(実施例)

次に本発明について図面を参照して説明する。

Highレベルの信号を入力する。この状態はセットをAC電源に最初に接続した状態を意味する。停電信号入力端子にHighレベルの信号が入力されると、停電検出回路3はこの状態を検出し制御回路8は第1の発振回路1を動作状態にし第2の発振回路2を停止状態にする信号を出力する。この時必ずしも第2の発振回路2を停止しなくてもよい。つまり制御回路8は第1の発振回路1のみ制御するよう構成し、第2の発振回路2は常に動作させておいても動作上問題はない。

これにより第2の発振回路1は発振動作を開始し分周回路5の出力によりCPUクロックが生成され分周回路9の出力より時計の基準クロックが生成される。この時計の基準クロックが100mSであるとすれば10回カウントすることにより1秒を作り出すことができる。マイクロコンピュータで時計動作を行なわせる場合は、上述の基準クロックをもとにRAM上に設けられた秒のエリア、分のエリア、時のエリアへ加算して桁上げ等をソフトウェアで行ないながら達成されている。

以上が通電時の動作状態を意味し水晶精度の時計動作が得られることになる。

次に停電時の動作状態を説明する。マイクロコンピュータの電源はコンデンサ等によりバックアップされ、停電信号入力端子にはLowレベルの信号を入力する。停電検出回路3はこの状態を検出し、制御回路8は第1の発振回路1を停止状態にし第2の発振回路2を動作状態にする信号を出力する。これにより第2の発振回路のみ動作することになる。第2の発振回路2の発振出力は分周回路7を介して入力セレクト11へ入力される。入力セレクト11はスイッチ回路でゲート回路10の一方の入力へ分周回路7の出力を接続するかあるいは分周回路6の出力を接続するかが制御回路8により制御され停電時は分周回路7の出力がゲート回路10の一方の入力に接続される。ゲート回路10の他方の入力にはゲート制御回路12の出力が接続されておりHighレベルの信号を入力する。

つまりカウンタ回路4には分周回路7の出力が

一方の入力を分周回路6の出力と接続する。この状態でゲート制御回路12は分周回路7の出力のn周期分のHighレベルがゲート回路10の他方の入力に加えられるよう制御する。これによりカウンタ回路4には分周回路6の出力が分周回路7の出力のn周期の時間だけ入力されることになる。この結果カウンタ回路4の値が「A」、第1の発振回路の発振周波数をX Hz、分周回路5および分周回路6の合計の分周値をPとすると分周回路7の出力、つまり1周期の時間Tは以下の式で表わされる。

$$T = \frac{P}{X} \times \frac{A}{n}$$

以上の式で求められた時間を、停電期間中にカウントされたカウンタ値にかけると、LCあるいはCR発振器で作られたパルス(カウンタ回路4の値)が水晶精度の値に補正されることになる。この後補正した値を停電前の時計の値に加算すればよい。これ以降は再び分周回路9の出力をカウントして通常の時計動作を行なわせるとともに第2の発振回路2の発振動作を停止させる。

入力されることになる。今、分周回路7の出力が200ms以上の周期に設定されているとして、24時間のカウント動作を保護するには、カウンタ回路4は20ビット程度のバイナリカウンタで構成すれば十分である。

次に停電から復帰した時の動作を説明する。

停電から復帰した時、停電信号入力端子には再びHighレベルの信号を入力する。この時刻制御回路8は第1の発振回路1を動作状態にする信号を出力する。これによりマイクロコンピュータは動作を開始する。開始後、分周回路9の出力すなわち時計基準クロックが生成されたのを検出し、検出後ゲート制御回路12によりゲート回路10を閉じる。つまりゲート回路10にLowレベルを出力する。この状態でカウンタ回路4のデータを読み出しRAM上にそのデータを貯えておく。

時計基準クロックの生成を検出した後、ゲート回路10を閉じるのは、停電期間を明確にしてより誤差を少なくするためである。

次に入力セレクト11によりゲート回路10の

第1の発振回路1が動作している時、第2の発振回路2の発振動作を停止させる理由は外部回路(受話機等)に妨害を与える機会を少なくするためであり、応用する機器によっては第2の発振回路2の発振動作を停止させなくてもよい。

また補正した値に分周回路9の出力以下のは数が生じた場合は、そのは数分は停電前の時計の値に加算することができないため、停電の回数が多くなると誤差が生じることになる。そこで1回の停電で生じたは数分を貯えておき、は数分のみを停電のたびに加算して分周回路9の出力以上の値になった時点で補正してやればより正確な時計動作を達成させることができる。

また第2の発振回路はCRもしくはLC発振器で構成されるため一般に温度特性が悪くなる。つまり電圧の変動によって発振周波数変動することが想定される。そこでこれを対策するためには定電圧電源回路を内蔵させ例えば2Vで第2の発振回路が動作するように構成してやればよい。

カウンタ回路4は前述したように24時間の停

電を供給するには20ビット程度のバイナリカウンタが必要になる。そこでマイクロコンピュータの同一チップ内にA/Dコンバータ、PLL回路を構成するプログラマブルカウンタ等が内蔵されていればそれらの回路を共用して使用することができ、特別にカウンタ回路を設ける必要はなくなる。

(発明の効果)

以上説明したように本発明は外部からの停電信号を検出して停電時にCPUクロックを生成する水晶発振子で構成される第1の発振回路の発振動作を停止させ、LCもしくはCR回路で構成される第2の発振回路を動作状態にして100Hz程度の低い発振周波数で発振させその発振出力をカウンタ回路でカウントし、停電から復帰後第2の発振回路の発振周波数を第1の発振回路の発振周波数を基準にして測定し、その結果で停電時のカウンタ値を補正して停電前の時計の値に加算することにより、低電流、低電圧で時計動作が達成できその結果、停電時長時間の時計動作を保證すること

とができる。しかもバックアップのための特殊な大容量コンデンサや電池等は不用となり入手しやすい普通の電解コンデンサ等でバックアップが可能となりコスト低減ができる。

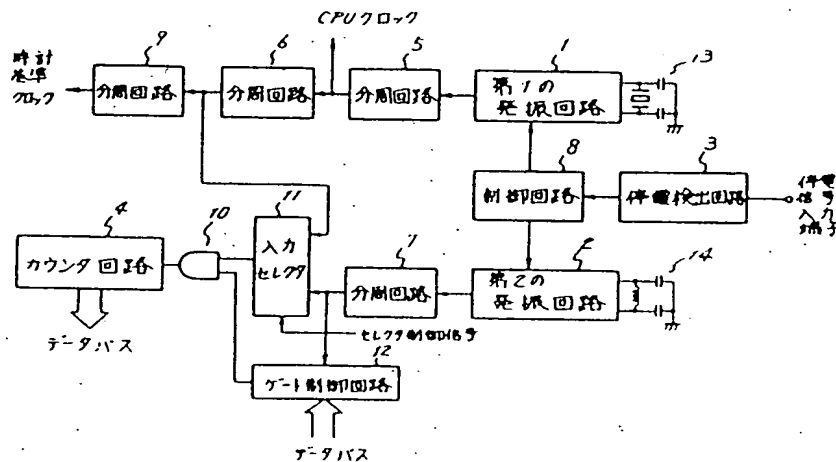
またLCもしくはCR回路で構成される第2の発振回路の発振周波数は水晶発振子で構成される第1の発振回路の発振周波数で補正されるため、第2の発振回路の発振周波数を調整する必要は全く安価な部品を使用することができる。

4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図である。

1……第1の発振回路、2……第2の発振回路、3……停電検出回路、4……カウンタ回路、5、6、7、9……分周回路、8……制御回路、10……ゲート回路、11……入力セレクタ、12……ゲート制御回路、13……水晶発振子、14……LC回路。

代理人 弁理士 内 原 晋



第1図